

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

009513354 **Image available**

WPI Acc No: 1993-206890/199326

XRPX Acc No: N93-159151

SRAM cell design layout - has driver gate regions, in continuous moat area without intra-cell moat-to-moat spacing, connected to respective drain so that cell moats remain electrically isolated

Patent Assignee: TEXAS INSTR INC (TEXI)

Inventor: RODDER M S

Number of Countries: 008 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 548675	A2	19930630	EP 92120985	A	19921209	199326 B
US 5264385	A	19931123	US 91805393	A	19911209	199348
JP 5326887	A	19931210	JP 92329520	A	19921209	199403
EP 548675	A3	19950920	EP 92120985	A	19921209	199615
TW 281768	A	19960721	TW 93101301	A	19930224	199648
EP 548675	B1	20000510	EP 92120985	A	19921209	200027
DE 69231030	E	20000615	DE 631030	A	19921209	200036
			EP 92120985	A	19921209	

Priority Applications (No Type Date): US 91805393 A 19911209

Cited Patents: No-SR.Pub; US 4408385; US 4416049

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 548675	A2	E	9	H01L-027/11	

Designated States (Regional): DE FR GB IT NL

US 5264385	A	7	H01L-021/70
------------	---	---	-------------

JP 5326887	A		H01L-027/11
------------	---	--	-------------

EP 548675	A3		H01L-027/11
-----------	----	--	-------------

TW 281768	A		G11C-007/00
-----------	---	--	-------------

EP 548675	B1	E	H01L-027/11
-----------	----	---	-------------

Designated States (Regional): DE FR GB IT NL

DE 69231030	E		H01L-027/11	Based on patent EP 548675
-------------	---	--	-------------	---------------------------

Abstract (Basic): EP 548675 A

The memory cell includes a continuous moat (21) area without any intra-cell moat to moat spacing, with gate regions (22,24) located in the moat area. Conductive straps (36) connect the two driver gates (22, 24) to two respective drain regions (33, 31), without connecting the moat of one cell with the moat of another so that the straps are never in a DC current path. Load elements are formed with the interconnects (36) in a single level of material.

Pref. a power supply interconnect line is connected to one of two portions of a load element channel region located at opposite ends of the cell.

USE/ADVANTAGE - High density SRAM cells with less stringent isolation technology, maintaining high beta ratio and thud reduced soft error rate. Suitable for four transistor two resistor with two

polysilicon levels; allows 40mum2 ASIC cell.

Dwg. 7/11

Title Terms: SRAM; CELL; DESIGN; LAYOUT; DRIVE; GATE; REGION; CONTINUOUS;
MOAT; AREA; INTRA; CELL; MOAT; MOAT; SPACE; CONNECT; RESPECTIVE;
DRAIN; SO; CELL; MOAT; REMAINING; ELECTRIC; ISOLATE

Derwent Class: U11; U13; U14

International Patent Class (Main): G11C-007/00; H01L-021/70; H01L-027/11

International Patent Class (Additional): H01L-027/00; H01L-031/042

File Segment: EPI

甲 第 2 号 証

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-326887

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/11		8728-4M	H 0 1 L 27/ 10	3 8 1

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平4-329520

(22)出願日 平成4年(1992)12月9日

(31)優先権主張番号 8 0 5 3 9 3

(32)優先日 1991年12月9日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500

(72)発明者 マーク エス. ロダー

アメリカ合衆国テキサス州ユニバーシティ
パーク、ウエストミニスター アベニュー
3212

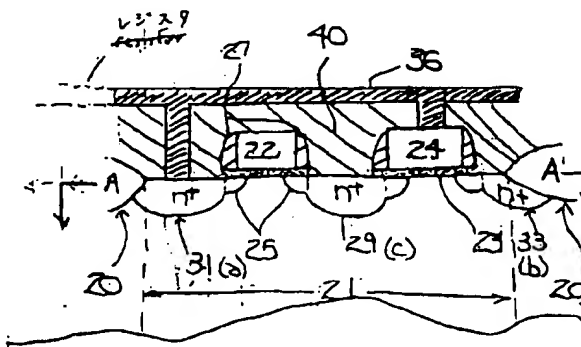
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 スタティックランダムアクセスメモリセル

(57)【要約】

【目的】 S R A Mセルを実現する新規な配置構造が開示されている。

【構成】 導電性ストラップ36が第1および第2のドライバゲート22、24を、1つのモートを別のモートへつなぐことなしに、それぞれ第2および第1のドレイン33、31へつないでおり、従って前記導電性ストラップは直流電流経路中に決して存在しない。



(2)

特開平05-326887

【特許請求の範囲】

【請求項1】 S R A Mセルの配置構造であって：セル内のモート(moat)とモートとの間のスペースがない連続したモートエリア、

前記モートエリア中に位置するゲート領域、
前記ゲート領域と前記モートエリアとの間の相互接続、
負荷要素であって、前記相互接続と一緒に単一レベルの材料中に形成された負荷要素、を含む配置構造。

【請求項2】 S R A Mセルを作成する方法であって：
基板中に形成されたモートエリア内に位置する第1と第2のドレインを形成することと、前記第1と第2のドレインから分離されて、それらの間に位置するソースを形成すること、

前記第1のドレインと前記ソースとの間に位置する第1の細長いドライバゲートを形成することと、前記第1の細長いドライバゲートに平行で前記第2のドレインと前記ソースとの間に位置する第2の細長いドライバゲートを形成すること、

前記モートエリアの外側に前記第1の細長いドライバゲートに平行に延びる第1のワードラインを形成することと、前記モートエリアの外側に前記第1のワードラインに平行に延びる第2のワードラインを形成することであって、前記第1と第2のドライバゲートが前記第1のワードラインと前記第2のワードラインとの間に位置するように形成すること、

前記第1のドライバゲートを前記モートエリアの第1の選ばれた領域へつなぐ第1の導電性ストラップを形成することと、前記第2のドライバゲートを前記モートエリアの第2の選ばれた領域へつなぐ第2の導電性ストラップを形成すること、の工程を含む方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般的に新規なS R A Mセル、すなわちスタティックランダムアクセスメモリセルの設計に関するものであり、詳細には、セル内のモートとモートとの間にスペースを有しないS R A Mセル設計に関するものであり、更に2重レベルポリシリコンの4 T - 2 R (4トランジスタ2抵抗)のS R A Mセルについても開示している。

【0002】

【従来の技術】V L S IのS R A Mには2つの型のメモリセルが使用されている。それらは抵抗性負荷セルまたは積層(stacked)4 T - 2 Rセルと、C M O S (相補型金属酸化物半導体)セルまたは積層6 T (6トランジスタ)セルである。積層6 Tセルと積層4 T - 2 Rセルの構造については、それぞれ図1と図2に示されている。図1および図2の積層6 Tセルおよび積層4 T - 2 Rセルは、どちらも2つのバストランジスタ30と2つのドライバトランジスタ31'を含んでいる。

【0003】図3に示されたような配置に加えて、これ

らのドライバおよびバストランジスタの固有な特性がS R A Mセルの動作性能を部分的に決定する。例えば、メモリセルの β 比は、セルの安定性を決定する因子の1つであるが、次に示すように、ドライバおよびバストランジスタのゲートの幅と長さとの比の関数である：

【数1】

$$\beta = \frac{W_D}{W_P} \cdot \frac{L_P}{L_D}$$

高い β 比の値はソフトエラーの発生頻度を減らし、従ってS R A Mセルの安定性を向上させる。ソフトエラー発生率はそのセル中に蓄えられたデータが電離放射線の存在の下で、どの程度容易に変更されるかの尺度である。言い替えると、ソフトエラーは、典型的には電離アルファ粒子によるセル状態の反転または変化を意味する。

【0004】図3のドライバゲート22、24の長さは、長さ L_D とパターン化されたドライバゲート電極によって決定され、通常は与えられた技術によって得られる最小の寸法に選ばれる。バストランジスタの幅 W_P はパターン化されたモート領域の幅によって決定され、これも通常は与えられた技術によって得られる最小の寸法に選ばれる。 β を最大化するためには、従って W_D か L_P を最大化することが望ましい。しかし、 L_P は、バストランジスタが適当な大きさの電流を流す能力を提供する必要があることから制限を受ける。従って、ドライバのモート幅 W_D を大きく取ることが望ましい。

【0005】図4では、与えられたセル寸法に対して大きなドライバモート幅 W_D の値が達成され、ここではセル内のモートとモートとの間に制限がないことが明らかである。これは、図3に示した従来技術の場合のように、適当なモートとモートとの間の間隔19を保持するためにドライバモートの幅 W_D も同時に減少させなければならないのとは異なる。

【0006】高密度S R A M、例えば図3に示したものを作製する場合、分離の要求によってセル内のモートとモートとの間の間隔19をどのように選ぶかが常に問題になる。リーク電流を最小レベルに止め、モートとモートとの相互作用を全体的に減少させるためには、モートとモートとの間の間隔19は重要である。従って、ドライバモート幅 W_D は間隔の要求に適合するように制限され、このことは β 比に対する効果としては好ましくない。セルエリアが例えば20 μm^2 に削減されると、従来技術のS R A M設計では、モートとモートとの間の間隔19は典型的には $\leq 0.6 \mu m$ となる。

【0007】

【発明の概要】高い β 比を保ちながら、モートとモートとの間の間隔または $n^- - n^+$ 間の最小分離幅に対して要求される厳密さを緩和するために、新規なS R A Mセルが設計された。そこにおいては、セル内の領域で、モートとモートとの間の間隔19は存在しない。そのよう

(3)

特開平5-326887

であるから、緩和された分離技術を用いて高密度のSRAMセルが作製できる。

【0008】本発明の別の長は、ドライバモート領域、例えば21を反対側のドライバゲート（例えば24）へつなぐ相互接続が直流電流経路中になくということである。このようにして、セルの安定性が向上する。

【0009】本発明の別の長は、セル毎に2本のワードラインを提供することによるSRAMセル配置の柔軟性である。

【0010】本発明のさらに別の長は、2重レベルの多結晶シリコン（ポリシリコン）しか要求しないため、抵抗を含む4T-2Rの完全なSRAMセルを作製することが容易であることである。本構造のその他の長には、対称性、表面の凹凸の少ないこと、高い β 値、そして極端に小さい接触抵抗またはストラップ(strap)抵抗を持つことが必要でない相互接続形成が含まれる。

【0011】特に断らない限り、各図面においては、対応する部品には共通して同じ符号を用いてある。

【0012】

【実施例】本発明の好適実施例のSRAMの連続的なモートセル配置が図4に示されている。プロセスの流れは図7に要約されている。最初に、LOCOSプロセスを用いて、フィールド酸化物20が形成され、それによってモート21が定義される。次に、ゲート絶縁体23が形成される。次に、多結晶シリコンゲート22、24が堆積され、パターン化され、そしてエッチされて、このポリシリコンをマスクにして n^+ の打ち込みが行われ、低濃度にドーパされたドレインおよびソース領域、LDD25が形成される。次に、ポリシリコンゲート22、24の両側に側壁酸化物スペーサ27が形成され、それはソースおよびドレイン領域が形成される時に、ソース29およびドレイン31、33領域中の n^+ の高濃度打ち込みからLDD領域25をマスクする。ドライバゲート22と24に隣接する2つのソース領域29は一緒につながって、後にコンタクトを経由してアースへつながれることになる。2本のワードライン28は、ポリシリコンゲート22、24が堆積され、パターン化され、そしてエッチされたのと同じプロセス工程において、堆積され、パターン化され、そしてエッチされる。ビットライン32とビットラインバー34のコンタクトは互いにSRAMセルの反対の端にある。このビットラインおよびビットラインバーはしばしば、SRAMセルの作製において後の工程で形成される。本デバイスのプロセスの流れの説明では、使用された導電性材料はポリシリコンであったが、当業者には良く知られているように、代替材料としてその他の適当な導電性材料を用いてもよい。

【0013】上述のプロセス工程はすべて図1および図2のワードラインと共にバスおよびドライバトランジスタの形成について、それらの間の接続なしに作製するこ

とを述べたものである。従って、図4はモート21、ポリシリコンドライバゲート22、24、そしてワードライン28だけを示しているのであるが、図7に示されたソース29、ドレイン31、33、そしてLDD領域25はプロセスの流れの中で、この工程までに形成されており存在している。

【0014】さて、図2に従えば、ドライバゲート22、24は望ましいノードaおよびbへ接続されなければならない。図5はストラップ(strap)36を示しており、それを通してコンタクトホールがドライバゲート22をノードbへ、ドライバゲート24をノードaへつないでいる。ストラップ36の断面は図6に示されている。

【0015】ノード領域aにおいてゲート24およびモート21へのアクセスを許容するように絶縁体40が堆積され、マスクされ、そしてエッチされる。次の段階で絶縁層を通してコンタクトが形成されよう。もし絶縁体40がそれを通してのコンタクトのエッチングに先だって平坦化されていれば、領域31へのコンタクトホールの形成と、それとは別に領域24へのコンタクトホールの形成のために、2マスクのプロセスが使用できる。別の代替え法は図11に示されたようなモート領域21を超えてのゲートコンタクトの形成である。これは不注意に1つのモートを別のモートへ接続したり、あるいは両モートへのゲートを短絡させたりする可能性を排除する。最後に、ドライバゲート24をモートのノードaへ接続する相互接続ストラップ36を形成するために、材料層が堆積され、マスクされ、そしてエッチされる。この相互接続ストラップ36とそのストラップ内のコンタクトホールの断面図は、平坦化された絶縁体を使用して図7に示されている。

【0016】もし積層6Tセルが図1に示すように形成されたなら、プロセス流れの中の次の工程はPMOSゲート35の形成である。図8はこの工程を上ストラップから示している。絶縁体の別の層が堆積され、パターン化され、そしてエッチされる。次にここでも、別の絶縁体を通してのコンタクトホールがこのPMOSゲート35をその下のストラップ36へ接続する。最後に、PMOSゲート材料50が堆積され、パターン化され、そしてエッチされて、図8に示したように、1つの相互接続ストラップの小さいエリアを覆い、また第2のストラップの大きいエリアを覆うように形成される。塗りつぶした矩形は最後に取り付けられた絶縁体を通してのコンタクトホールを示しており、それはPMOSゲート35をその下の相互接続ストラップ36へ接続する。

【0017】第2の実施例では、相互接続ストラップを形成するのと同じプロセス工程において、図10に示すように図2の抵抗もまた形成される。相互接続ストラップだけをパターン化、エッチングする替わりに、モートの一端を超えてセルの右端までポリシリコンが延長

(4)

特開平5-326887

される。モートの反対側の端では、ワードライン28を覆うポリシリコンのストレッチが、電力バスラインを形成する相互接続ストラップと同時に堆積され、パターン化され、そしてエッチされる。このポリシリコンのランナーは図10に示すように、ポリシリコンの延長部と同じ方向に、セルの他端へ向かって伸び出している。ワードラインと相互接続ストラップを覆うポリシリコンは、最大の伝導率を得るためには、斜線ハッチで濃く示したように、次の打ち込みによって高濃度にドーピングすることができる。更に、薄い斜線ハッチで示したエリアは適切な抵抗値を得るために低濃度ドーピングされる。このようにして、第2レベルのポリシリコンは抵抗負荷としてだけでなく、相互接続としても機能する。SRAMセルのこの配置は縦方向、あるいは横方向に配列化することができる。このセルは、約 $40\mu\text{m}^2$ というASIC SRAMに対する要求に応えることができる。更に加えて、このセルはその他のセル設計と比べて、複雑度が少なくになっている。

【0018】本発明の好適実施例の1つの特長は、形成された相互接続ストラップが1つのモートを別のモートへつなぐようなことはしない、従って直流電流経路中にストラップは存在しないということである。例えば、図9は従来のセルの配置図である。モート領域21が明瞭に示されている。ドライバゲート22、24とパスゲート28は薄い斜線ハッチで示され、濃い斜線ハッチを施されたエリアは相互接続ストラップ36である。この配置から明らかなように、ビットラインからアースへの経路は、2つの異なるモートを接続している2つの相互接続を横切らなければならない。これらの相互接続ストラップが直流電流経路中に存在しないようにすることによって、静的な雑音マージンとセルの対称性が改善され、セル安定性が逆になることを助ける。

【0019】以上、いくつかの好適実施例について詳細に説明してきた。本発明の範囲には、ここに述べたものとは異なるが本発明の特許請求の範囲には含まれるような実施例が含まれることを理解されたい。

【0020】本発明は図示された実施例について説明してきたが、この説明は限定的な意図のものではない。ここに示した実施例の各種の修正や組み合わせが本発明のその他の実施例と共に、当業者には本明細書を参照することで明らかになる。従って、本特許請求の範囲はそれらの変更点や実施例を包含すると解釈すべきである。

【0021】その他のデバイス、システム、そして方法についても開示されている。

【0022】以上の説明に関して更に以下の項を開示する。

(1) SRAMセルの配置構造であって：セル内のモートとモートとの間のスペースがない連続したモートエリア、前記モートエリア中に位置するゲート領域、前記ゲート領域と前記モートエリアとの間の相互接続、負荷要

素であって、前記相互接続と一緒に単一レベルの材料中に形成された負荷要素、を含む配置構造。

【0023】(2) 第1項記載の配置構造であって、更に：SRAMセルの一方の端に位置する第1の部分と、SRAMセルの他端に位置する残りの部分とを含む負荷要素チャネル領域、SRAMセルの前記一方の端で前記負荷要素チャネル領域へつながれた電源供給相互接続ライン、隣接メモリセルであって、前記電源供給相互接続ラインと前記負荷要素チャネル領域の前記残りの部分との間の接続が前記隣接セル間に施されている隣接メモリセル、を含む配置構造。

【0024】(3) SRAMセル用の構造であって：基板中に形成されたモートエリアであって、前記モートエリア中に位置する第1及び第2のドレインと、前記第1のドレインと第2のドレインとの間に位置してそれらから分離されているソースとを含むモートエリア、前記第1のドレインと前記ソース領域との間に位置する第1の細長いドライバゲートと、前記第1の細長いドライバゲートに平行で前記第2のドレイン領域と前記ソースとの間に位置する第2の細長いドライバゲート、前記モートエリアの外側にあつて前記第1の細長いドライバゲートと平行に伸びる第1のワードラインと、前記モートエリアの外側にあつて前記第1のワードラインと平行に伸びる第2のワードラインとであって、前記第1と第2のドライバゲートが前記第1のワードラインと前記第2のワードラインとの間に位置している2本のワードライン、前記第1のドライバゲートを前記モートエリアの第1の選ばれた領域へ接続する第1の導電性ストラップと、前記第2のドライバゲートを前記モートエリアの第2の選ばれた領域へ接続する第2の導電性ストラップ、を含む構造。

【0025】(4) 第3項記載の構造であって、前記第1の選ばれた領域が前記第1のドレインである構造。

【0026】(5) 第4項記載の構造であって、前記第2の選ばれた領域が前記第2のドレインである構造。

【0027】(6) 第3項記載の構造であって、更に前記第1と第2の導電性ストラップを覆う絶縁層を含み、第1と第2のPMOSゲートが前記絶縁層の上に形成され、前記絶縁層中に定義されたコンタクト孔を介して、前記第1のPMOSゲートが前記第1の導電性ストラップと電気的につながり、前記第2のPMOSゲートが前記第2の導電性ストラップと電気的につながっており、前記第1のPMOSゲートが前記第2の導電性ストラップの一部を覆い、前記第2のPMOSゲートが前記第1の導電性ストラップの一部を覆っている構造。

【0028】(7) 第3項記載の構造であって、更に前記ワードラインの少なくとも1本を覆う抵抗性の電力バスラインを含み、前記導電性ストラップが前記電力バスラインへ向かって伸びてそれにコンタクトしている構造。

(5)

特開平5-326887

【0029】(8) S R A Mセルを作製する方法であって：基板中に形成されたモートエリア内に位置する第1と第2のドレインを形成することと、前記第1と第2のドレインから分離されて、それらの間に位置するソースを形成すること、前記第1のドレインと前記ソースとの間に位置する第1の細長いドライバゲートを形成することと、前記第1の細長いドライバゲートに平行で前記第2のドレインと前記ソースとの間に位置する第2の細長いドライバゲートを形成すること、前記モートエリアの外側に前記第1の細長いドライバゲートに平行に延びる第1のワードラインを形成することと、前記モートエリアの外側に前記第1のワードラインに平行に延びる第2のワードラインを形成することであって、前記第1と第2のドライバゲートが前記第1のワードラインと前記第2のワードラインとの間に位置するように形成すること、前記第1のドライバゲートを前記モートエリアの第1の選ばれた領域へつなぐ第1の導電性ストラップを形成することと、前記第2のドライバゲートを前記モートエリアの第2の選ばれた領域へつなぐ第2の導電性ストラップを形成すること、の工程を含む方法。

【0030】(9) 第8項記載の方法であって、更に、前記第1と第2の導電性ストラップを覆う絶縁層を形成すること、前記絶縁層を覆って第1と第2のP M O S ゲートを形成すること、前記絶縁層中に定義された孔を介して、前記第1の導電性ストラップと前記P M O S ゲートとを電気的に接続し前記第2の導電性ストラップと前記第2のP M O S ゲートを電気的に接続すること、前記第2の導電性ストラップの一部を前記第1のP M O S ゲートで覆い、前記第1の導電性ストラップを前記第2のP M O S ゲートで覆う工程を含む方法。

【0031】(10) 第8項記載の方法であって、更に、前記ワードラインの少なくとも1本を覆って抵抗性の電力バスラインを形成し、前記導電性ストラップを延ばして前記形成された電力バスラインにコンタクトさせる工程を含む方法。

【0032】(11) S R A Mセルを作製する方法であって：基板中に、対向する両端に1つの領域と別の1つの領域を有するモートエリアを定義すること、前記モートエリアの少なくとも選ばれた部分を覆うように酸化物質層を堆積すること、ポリシリコンを堆積し、パターン化し、そしてエッチして第1と第2のワードラインを形成し、また前記選ばれた部分上にはドレインおよびソース領域を定義する第1と第2のゲートを形成すること、第1の伝導形のドーパントで前記ソース及びドレイン領域をドーピングすること、絶縁体材料を堆積し、パターン化し、そしてエッチして、前記1つの領域から前記第1のゲートへ延びる孔を定義すること、材料層を堆積し、パターン化し、そしてエッチして、前記1つの領域を前記第1のゲートへ接続する第1の相互接続ストラップと、前記別の1つの領域を前記第2のゲートへ接続する第2

の相互接続ストラップを形成すること、の工程を含む方法。

【0033】(12) S R A Mセルを実現する新規な配置構造が開示されている。そこでは、導電性ストラップ36が第1および第2のドライバゲート22、24を、1つのセルのモートを別のセルのモートへつなぐことなしに、それぞれ第2および第1のドレイン33、31へつなぐものであり、従って前記導電性ストラップは直流電流経路中に決して存在しない。

【図面の簡単な説明】

【図1】積層6T(6トランジスタ) S R A Mセルの模式図。

【図2】積層4T-2R(4トランジスタ2抵抗) S R A Mセルの模式図。

【図3】従来技術のS R A Mセルの配置構造を示す図。

【図4】本発明の好適実施例に従うS R A Mセルの配置構造を示す図。

【図5】図4の構造の次のプロセス工程の配置構造であって、ドライバゲートをノードaおよびbへ接続するための導電性ストラップの形成を示す図。

【図6】図5のラインA-A'に沿って取った断面図であって、絶縁体を導入する1つの方法を用いた導電性ストラップを示す図。

【図7】図5のラインA-A'に沿って取った断面図であって、平坦化された絶縁層を用いた導電性ストラップを示す図。

【図8】図1に示すS R A Mセルを形成する場合に、図5の構造の次のプロセス工程を示す配置構造を示す図。

【図9】別の従来技術のセルの配置構造を示す図。

【図10】図5の構造に対する1つの代替え次工程を示す配置構造であって、導電性ストラップと同じ材料中に抵抗を含んでいる構造を示す図。

【図11】図5の構造に対する1つの代替え次工程を示す配置構造であって、モートを越えて形成されるゲートコンタクトを含む構造を示す図。

【図12】図11の配置に対する代替え配置構造模式図。

【符号の説明】

- 19 モート間間隔
- 20 フィールド酸化物
- 21 モート領域
- 22 ポリシリコンゲート
- 24 ポリシリコンゲート
- 25 L D D 領域
- 27 側壁酸化物スペーサ
- 28 ワードライン
- 29 ソース
- 30 バストランジスタ
- 31 ドライバトランジスタ
- 31 ドレイン

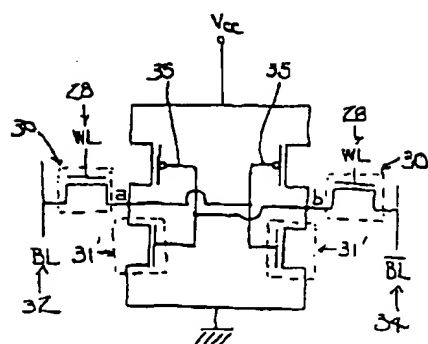
(6)

特開平5-326887

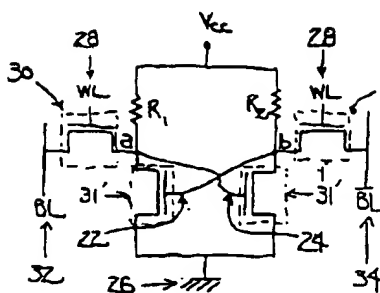
32 ビットライン
33 ドレイン
34 ビットライン
35 PMOSゲート

36 相互接続ストラップ
40 絶縁層
50 PMOSゲート材料

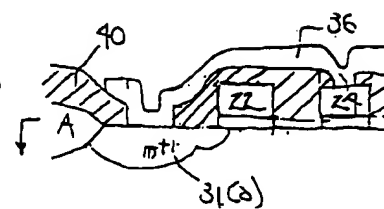
【図1】



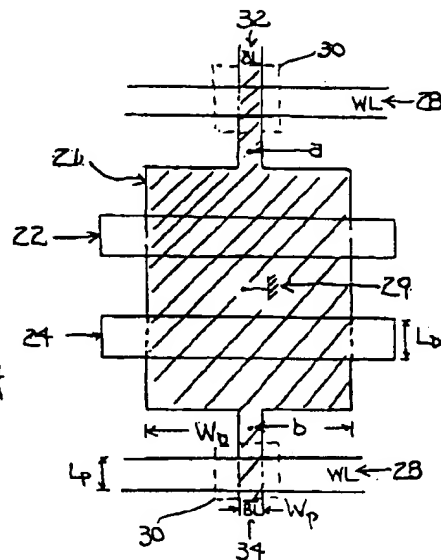
【図2】



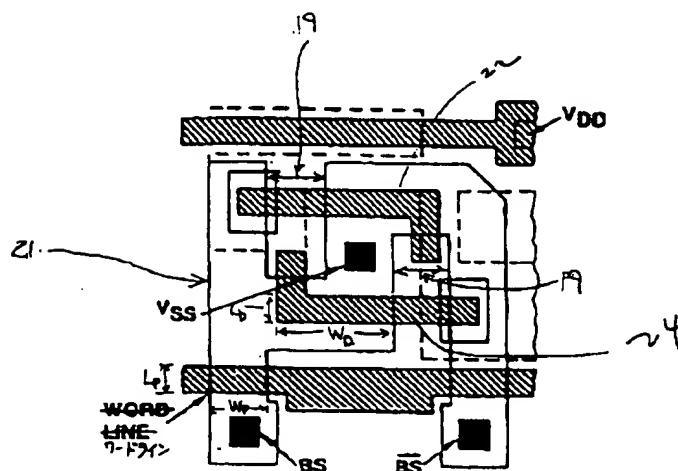
【図6】



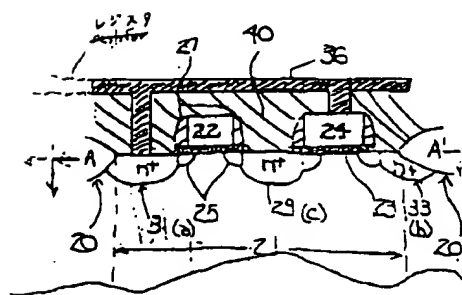
【図4】



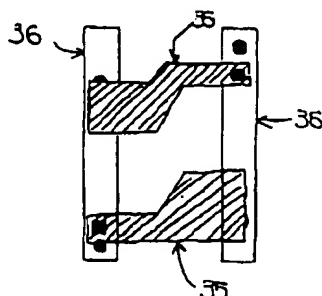
【図3】



【図7】



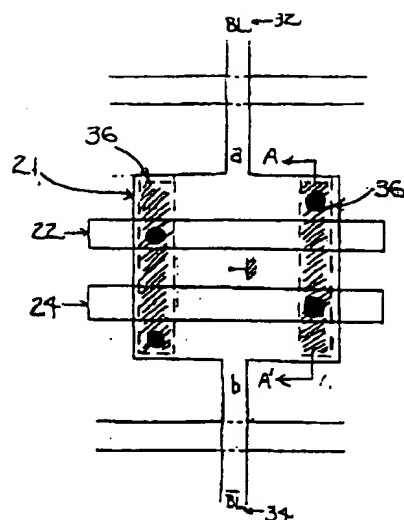
【図8】



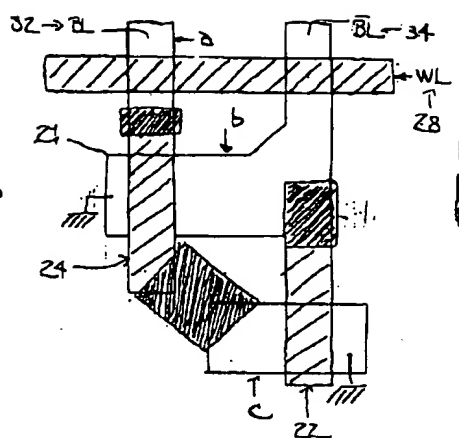
(7)

特開平5-326887

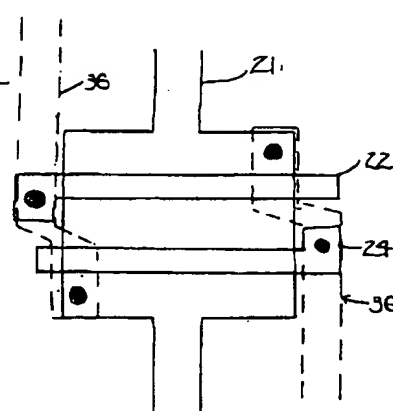
【図5】



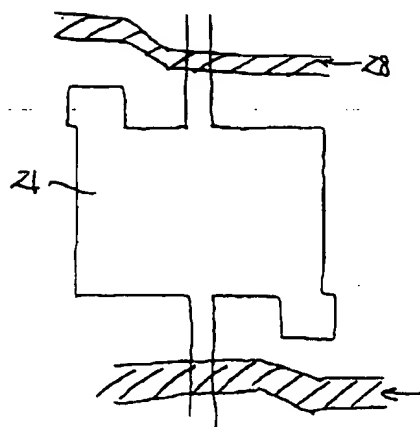
【図9】



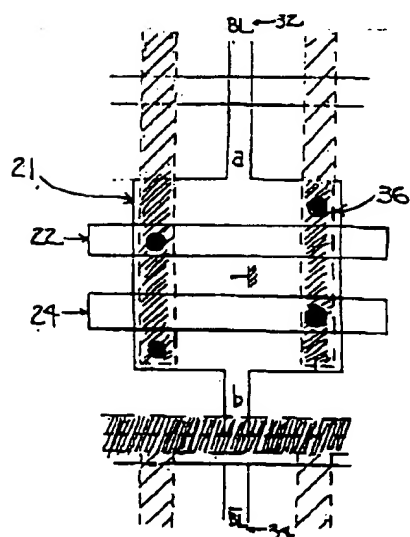
【図11】



【図12】



【図10】



【手続補正書】

【提出日】平成5年1月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】本発明の好適実施例の1つの持長は、形成された相互接続ストラップが1つのモートを別のモートへつなぐようなことはしない。従って直流電流経路中に

ストラップは存在しないということである。例えば、図9は従来のセルの配置図である。モート領域21が明瞭に示されている。ドライバゲート22、24とパスゲート28は薄い斜線ハッチで示され、濃い斜線ハッチを施されたエリアは相互接続ストラップ36である。この配置から明らかなように、ビットラインからアースへの経路は、2つの異なるモートを接続している2つの相互接続を横切らなければならない。これらの相互接続ストラップが直流電流経路中に存在しないようにすることによ

(8)

特開平5-326887

って、静的な雑音マージンとセルの対称性が改善され、セル安定性を助長する。12図は、相互接続が主モート領域21からオフセットされ、相互接続がモート領域の

何れの構造にも近接し過ぎないモードレイアウトを示した。ワードライン28はモートの突部を避ける様に配置されている。